

明 細 書

半導体装置およびその駆動方法

技術分野

本発明は、MOSFET等の半導体素子で実現される半導体装置およびそれに所定動作を行わせるための駆動方法に関する。

背景技術

前記MOSFETは、ゲート電極に印加する電圧を変化させることによって、ソースドレイン間の電氣的導通を制御することができる。たとえば、N型のMOSFETでは、ゲート電極にハイレベルを入力すると、ソースドレイン間が導通する一方、ローレベルを入力すると遮断する。このとき、ウェルの電位は、通常は固定されており、たとえば前記N型のMOSFETではローレベルに、P型のMOSFETではハイレベルに固定されている。このようにして、従来からのMOSFETは、ゲート電極を入力とし、ソースドレイン間のスイッチングを行う3端子素子として使用されている。

図22は、このようなMOSFETを用いた一例であり、典型的な従来技術に係る半導体装置である論理回路10g1の電気回路図である。この論理回路10g1は、入力端子p1, p2への入力in1, in2がそれぞれ与えられるPMOSFET(qp1及びqp2)の並列回路が、ハイレベルV_{DD}の電源ラインと出力端子p3との間に接続され、前記入力in1, in2がそれぞれ与えられるNMOSFET(qn1及

び q_{n2} の直列回路が、前記出力端子 p_3 とローレベル GND の電源ラインとの間に接続されて構成されており、入力 i_{n1} 、 i_{n2} の少くともいずれか一方がローレベルであるときに出力 out をハイレベルとする NAND 回路である。

- 5 また、図 23 は、他の従来技術に係る論理回路 $10g2$ の電気回路図である。この論理回路 $10g2$ は、前記入力 i_{n1} 、 i_{n2} がそれぞれ与えられる PMOSFET (q_{p1} 及び q_{p2}) の直列回路が、ハイレベル V_{DD} の電源ラインと出力端子 p_3 との間に接続され、前記入力 i_{n1} 、 i_{n2} がそれぞれ与えられる NMOSFET (q_{n1} 及び q_{n2})
- 10 の並列回路が、前記出力端子 p_3 とローレベル GND の電源ラインとの間に接続されて構成されおり、入力 i_{n1} 、 i_{n2} の少くともいずれか一方がハイレベルであるときに、出力 out をローレベルとする NOR 回路である。

- 上述のような従来技術に係る半導体装置である論理回路 $10g1$ 、 1
- 15 $0g2$ では、各 MOSFET が 1 つの入力に対してその出力が対応するので、上述のように NAND 回路や NOR 回路に 4 個の MOSFET を必要とする。また、AND 回路は前記 NAND 回路に NOT 回路 (2 個の MOSFET からなる) を直列に接続し、OR 回路は前記 NOR 回路に NOT 回路を直列に接続することによって実現できるので、それぞれ
- 20 6 個の MOSFET を必要とする。したがって、一つの演算を行うのに多くの MOSFET が必要となるので、半導体装置の集積度の向上の障害となり、このため動作速度の高速化、歩留りの向上、およびコストの削減の妨げとなっている。

 本発明の目的は、1 素子当たりの高機能化を図ることによって集積度

を向上させると共に、動作速度の高速化、歩留りの向上、及びコストの削減化を図ることができる半導体装置およびその駆動方法を提供することである。

5 発明の開示

本発明に係る第1半導体装置は、半導体基板と、該半導体基板上に形成される下地絶縁膜と、前記下地絶縁膜上に形成され、かつ電気絶縁性の素子分離領域で外囲されて隣接素子間が区分され、第1の電極となるP、Nいずれか一方の導電型式の半導体層と、前記半導体層内に形成され、P、Nいずれか他方の導電型式で第2の電極となるソース領域および第3の電極となるドレイン領域と、前記ソース領域とドレイン領域との間に形成されるチャネル領域と、前記チャネル領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成され、第4の電極となるゲート電極とを備え、前記素子分離領域で区分された各半導体層毎に、ソース領域およびドレイン領域以外の領域にコンタクト孔を設けている。

上記構成によれば、半導体基板上に形成した下地絶縁膜上に素子を形成するSOI (Silicon On Insulator), SOS (Silicon On Sapphire) 構造の基板を用いることによって、各素子の形成領域を素子分離領域によって、比較的容易に、電氣的に分離することができ、こうして各素子相互間の干渉を防止し、各素子毎の個別の動作を可能とした状態で、分離された各素子形成領域毎にMOSFETを形成する。そして、その各MOSFETの半導体層をコンタクト孔を介して外部と電氣的に接続して電極として使用可能とし、ゲートへの入力と、この半導体層への入力との2つの入力を可能とする4端子素子を実現する。

したがって、1素子で2入力、1出力の回路を実現することができ、
M O S F E T単体の機能を向上することができる。これによって、たと
えば論理回路を構成した場合には、集積回路化にあたって集積度を向上
することができ、動作速度の高速化、歩留まりの向上およびコストの削
5 減を図ることができる。

また、本発明に係る第2半導体装置は、半導体基板と、前記半導体基
板内に形成されるP、Nいずれか一方の導電型式のディープウェル領域
と、前記ディープウェル領域上に形成され、第1の電極となるP、Nい
ずれか他方の導電型式のシャローウェル領域と、前記シャローウェル領
10 域内に形成され、P、Nいずれか一方の導電型式で第2の電極となるソ
ース領域および第3の電極となるドレイン領域と、前記ソース領域とド
レイン領域との間に形成されるチャネル領域と、前記チャネル領域上に
形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成され、第4の電
極となるゲート電極とを備え、相互に隣接する素子間が溝型分離領域に
15 よって少なくともシャローウェル領域が電氣的に分離されており、該溝型
分離領域で隣接素子間が区分された各シャローウェル領域毎に、ソース
領域およびドレイン領域以外の領域にコンタクト孔を設けている。

上記構成によれば、バルク基板であっても、各素子形成領域のシャロ
ーウェル領域を溝型分離領域で電氣的に絶縁することによって、各素子
20 相互間の干渉を防止し、各素子毎の個別の動作を可能とした状態で、分
離された各素子形成領域毎にM O S F E Tを形成する。そして、そのM
O S F E Tのシャローウェル領域をコンタクト孔を介して外部と電氣的
に接続して電極として使用可能とし、ゲートへの入力と、このシャロー
ウェル領域への入力との2つの入力を可能とする4端子素子を実現する。

したがって、1素子で2入力、1出力の回路を実現することができ、MOSFET単体の機能を向上することができる。これによって、たとえば論理回路を構成した場合には、集積回路化にあたって集積度を向上
5 減を図ることができる。また、SOI，SOS基板を用いる場合よりも、低コスト化および第1の電極の抵抗値を低減することができる。

上記の第1及び第2半導体装置において、導電型式が相互に逆極性の素子を一对とし、P型半導体素子のソースを高電位固定とし、N型半導体素子のソースを低電位固定とし、両者のゲートを互いに接続して第1
10 の入力端子とし、両者のコンタクト孔を互いに接続して第2の入力端子とし、両者のドレインを互いに接続して出力端子とすることが好ましい。

この場合、P，N一对のMOSFETのうち、PMOSFETのソースを高電位固定とし、NMOSFETのソースを低電位固定とし、両者のドレインを互いに接続して出力としたCMOSインバータの構成にお
15 いて、両者のコンタクト孔を互いに接続して第2の入力端子とし、通常の入力である両者のゲートを互いに接続して第1の入力端子とする。

したがって、2つの入力の電位またはチャネル領域の不純物濃度等を適宜調整することによって、NANDまたはNOR回路を実現することができる。これによって、従来では4つのMOSFETを要したこれら
20 の回路を、2つのMOSFETで実現することができる。

さらにまた、上記の第1及び第2半導体装置において、導電型式が相互に逆極性の素子を一对とし、P型半導体素子のソースを高電位固定とし、N型半導体素子のソースを低電位固定とし、P型半導体素子のゲートおよびN型半導体素子のコンタクト孔を共に第1の入力端子とし、N

型半導体素子のゲートおよびP型半導体素子のコンタクト孔を共に第2の入力端子とし、両者のドレインを共に出力端子とすることが好ましい。

この場合、P、N一对のMOSFETのうち、PMOSFETのソースを高電位固定とし、NMOSFETのソースを低電位固定とし、両者の
5 ドレインを互いに接続して出力としたCMOSインバータの構成において、PMOSFETおよびNMOSFETのゲートをそれぞれ第1および第2の入力端子とし、NMOSFETおよびPMOSFETのコンタクト孔もそれぞれ前記第1および第2の入力端子とする。

したがって、2つの入力の電位またはチャネル領域の不純物濃度等を
10 適宜調整することによって、NANDまたはNOR回路を実現することができる。これによって、従来では4つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

さらにまた、上記の第1及び第2半導体装置において、導電型式が相互に逆極性の素子を一对とし、N型半導体素子のドレインを高電位固定
15 とし、P型半導体素子のドレインを低電位固定とし、両者のゲートを共に第1の入力端子とし、両者のコンタクト孔を共に第2の入力端子とし、両者のソースを共に出力端子とすることが好ましい。

この場合、2つの入力の電位またはチャネル領域の不純物濃度等を適宜調整することによって、ANDまたはOR回路を実現することができ
20 る。これによって、従来では6つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

又、上記の第1及び第2半導体装置において、導電型式が相互に逆極性の素子を一对とし、N型半導体素子のドレインを高電位固定とし、P型半導体素子のドレインを低電位固定とし、N型半導体素子のゲートお

よびP型半導体素子のコンタクト孔を共に第1の入力端子とし、P型半導体素子のゲートおよびN型半導体素子のコンタクト孔を共に第2の入力端子とし、両者のドレインを共に出力端子とすることが好ましい。

5 この場合、2つの入力の電位またはチャネル領域の不純物濃度等を適宜調整することによって、ANDまたはOR回路を実現することができる。これによって、従来では6つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

さらにまた、上記の半導体装置において、ゲートおよびコンタクト孔をそれぞれ入力端子とし、相互に同期した個別の入力信号を入力することが好ましい。この場合、クロックなどによって同期した相互に同期の
10 取れた2つの入力信号に対して、上記各素子が1つの出力信号を出力する。したがって、単純な1入力1出力のON/OFF動作ではなく、2入力1出力の論理回路の動作を実現することができ、少ない素子数で論理回路を構成することができる。

15 本発明のさらに他の目的、特徴、および優れた点は、以下に示す記載によって十分わかるであろう。また、本発明の利益は、添付図面を参照した次の説明で明白になるであろう。

図面の簡単な説明

20 図1は、本発明の基本的な構成を表す、本発明の第1実施例の半導体素子を模式的に示す断面図である。

図2は、図1で示す半導体素子の動作特性の一例を示すグラフである。

図3は、図1で示す半導体素子の動作特性の他の例を示すグラフである。

図 4 は、図 1 の構成を具体的に実現する本発明の第 2 実施例の半導体素子の正面図である。

図 5 は、図 4 の V-V 矢視断面図である。

図 6 は、図 4 の VI-VI 矢視断面図である。

5 図 7 は、図 1 の構成を具体的に実現する本発明の第 3 実施例の半導体素子の正面図である。

図 8 は、図 7 の VIII-VIII 矢視断面図である。

図 9 は、図 7 の IX-IX 矢視断面図である。

10 図 10 は、図 1 ～図 9 で示す半導体素子を用いる本発明の第 4 実施例の論理回路の電気回路図である。

図 11 (a) (b) は、図 10 で示す論理回路の動作特性を示すグラフである。

図 12 は、図 1 ～図 9 で示す半導体素子を用いる本発明の第 5 実施例の論理回路の電気回路図である。

15 図 13 (a) (b) は、図 12 で示す論理回路の動作特性を示すグラフである。

図 14 (a) (b) は、本発明の第 6 実施例の論理回路の動作特性を示すグラフである。

20 図 15 (a) (b) は、本発明の第 7 実施例の論理回路の動作特性を示すグラフである。

図 16 は、図 1 ～図 9 で示す半導体素子を用いる本発明の第 8 実施例の論理回路の電気回路図である。

図 17 (a) (b) は、図 16 で示す論理回路の動作特性を示すグラフである。

図 1 8 は、図 1 ～図 9 で示す半導体素子を用いる本発明の第 9 実施例の論理回路の電気回路図である。

図 1 9 (a) (b) は、図 1 8 で示す論理回路の動作特性を示すグラフである。

5 図 2 0 (a) (b) は、本発明の第 1 0 実施例の論理回路の動作特性を示すグラフである。

図 2 1 (a) (b) は、本発明の第 1 1 実施例の論理回路の動作特性を示すグラフである。

10 図 2 2 は、典型的な従来技術の MOSFET 素子を用いて構成される論理回路の一例を示す電気回路図である。

図 2 3 は、典型的な従来技術の MOSFET 素子を用いて構成される論理回路の他の例を示す電気回路図である。

発明を実施するための最良の形態

15 本発明をより詳細に説述するために、添付の図面に従ってこれを説明する。まず、本発明の第 1 実施例について、図 1 ～図 3 に基づいて説明すれば以下の通りである。

図 1 は、本発明の基本的な構成を説明するための本発明の第 1 実施例の半導体素子 1 を模式的に示す断面図である。半導体素子 1 は、図 1 に示すように、ウェル 2 内に、ソース領域 3 とドレイン領域 4 とが形成され、これらの間のチャネル領域 5 上に、ゲート絶縁膜 6 を介してゲート電極 7 が形成されて構成される通常の MOSFET の構造において、ウェル 2 からコンタクト孔（図示しない）を介して基板端子 TW を引出してこれを第 1 の電極とし、ソース領域 3 から引出されて第 2 の電極とな

20

るソース端子TSと、ドレイン領域4から引出されて第3の電極となるドレイン端子TDと、ゲート電極7から引出されて第4の電極となるゲート端子TGとの4端子構成を有している。第1の入力端子である前記ゲート端子TGと第2の入力端子である前記基板端子TWとには、それぞれクロック信号などに基づいて相互に同期の取れた個別の入力IN1, IN2が与えられる。なお、ドレインーソース間には適当なドレイン電圧が印加されているものとする。

前記半導体素子1において、NMOSFET（ウェル2がP型に形成される）の場合には、入力IN1, IN2の電位に対するドレイン電流の関係が、たとえば図2で示すようになる。入力IN2、すなわちウェル電位が低電位（L）であり、かつ入力IN1、すなわちゲート電位が低電位（L）であるときのドレイン電流は I_{LL} となり、前記入力IN2が低電位（L）であり、かつ入力IN1が高電位（H）であるときのドレイン電流は I_{HL} となる。

これに対して、入力IN2が高電位（H）であり、かつ入力IN1が低電位（L）であるときには I_{LH} のドレイン電流が流れ、入力IN2が高電位（H）であり、かつ入力IN1も高電位（H）であるときには I_{HH} のドレイン電流が流れる。

このように、同じ入力IN1に対しても、入力IN2の電位が高い方がドレイン電流が大きくなっている。これは、MOSFETにおいて、ウェル2に正の電圧を印加すると、チャネル領域の電位障壁が低下し、閾値電圧が低下することによるものである。すなわち、ゲート電極7に正の電圧を印加していったときに、ドレイン電流の流れ始める電圧が低下することによるものである。

この図 2 から、入力 IN_2 が低電位 (L) であるときには、入力 IN_1 が高電位 (H) 又は低電位 (L) のいずれであっても、ドレイン電流には殆ど差が生じないけれども、入力 IN_2 が高電位 (H) であるときには、入力 IN_1 に対して、高電位 (H) と低電位 (L) とでドレイン電流に大きな差が生じる。したがって、この図 2 の例では、入力 IN_1 , IN_2 がともに高電位 (H) である場合のみドレインソース間が導通し、その他の場合には遮断する動作を実現している。

一方、動作特性を図 3 のように設定することによって、入力 IN_1 , IN_2 の少くともいずれか一方が高電位 (H) であるときには、ドレインソース間が導通し、入力 IN_1 , IN_2 がともに低電位 (L) であるときにのみ遮断する動作を実現することができる。

これら図 2 で示す特性と図 3 で示す特性とは、前記図 1 で示すような構造の半導体素子 1 において、たとえばチャネル領域 5 の不純物濃度や、入力 IN_1 , IN_2 の高電位 (H) のレベルおよび低電位 (L) のレベルを適宜調整することによって、選択することができる。なお、PMOSFET (前記ウェル 2 が N 型に形成される) の場合には、これら図 2 および図 3 とは逆の動作特性となる。

このようにして、相互に同期した 2 つの入力 IN_1 , IN_2 に対して 1 つの出力を得ることができる素子を、1 つの素子で実現して、該素子の高機能化を図ることによって集積回路化にあたってその集積度を向上することができる。

本発明の第 2 実施例について、図 4 ~ 図 6 に基づいて説明すれば以下の通りである。

図 4 ~ 図 6 は、上述の半導体素子 1 を具体的に実現するようにした半

導体素子 1 1 の構造を示す図である。図 4 は正面図であり、図 5 は図 4 の V-V 矢視断面図であり、図 6 は図 4 の VI-VI 矢視断面図である。なお図 4 では、説明の便宜上、後述する上部メタル配線および層間絶縁膜を取除いた実質の素子部分を示している。

- 5 この半導体素子 1 1 は、半導体基板 1 2 上に下地絶縁膜 1 3 が形成され、さらにこの下地絶縁膜 1 3 上に半導体層 1 4 が形成された S O I 基板を用いている。また、半導体層 1 4（ウェル 2）は、隣接素子間でフィールド酸化膜 1 5 によって相互に電氣的に分離されており、隣接する素子間のウェル電位の変化の影響を受けないように構成されている。半
10 導体層 1 4 内には、該半導体層 1 4 の導電型式とは逆の導電型式、すなわち、たとえば該半導体素子 1 1 が N M O S F E T であるときには、該半導体層 1 4 の導電型式は P 型であり、N 型となる前記ソース領域 3 およびドレイン領域 4 が形成され、それらのソース領域 3 とドレイン領域 4 との間のチャネル領域上に、前記ゲート絶縁膜 6 を介してゲート電極
15 7 が形成されている。

- このように形成された素子は、層間絶縁膜 1 6 で被覆されている。この層間絶縁膜 1 6 には、コンタクト孔 1 7， 1 8， 1 9 が形成されて上部メタル配線 2 1， 2 2， 2 3 がそれぞれ前記ソース領域 3、ドレイン領域 4、ゲート電極 7 と電氣的に接続される（図 5 及び図 6 参照）。こ
20 れによって、該上部メタル配線 2 1， 2 2， 及び 2 3 が、それぞれ前記ソース端子 T S、ドレイン端子 T D、及び第 1 の入力端子であるゲート端子 T G となる。また、この層間絶縁膜 1 6 において、前記ソース領域 3 およびドレイン領域 4 以外の領域に、コンタクト孔 2 0 が形成されている（図 6 参照）。前記半導体層 1 4 において、このコンタクト孔 2 0

に対応する領域 1 4 a は、前記半導体層と同じ導電型式で不純物濃度の濃い領域であり、この領域 1 4 a によって、前記コンタクト孔 2 0 に形成される上部メタル配線 2 4 は、半導体層 1 4 とオーミック接続され、該上部メタル配線 2 4 は第 2 の入力端子である基板端子 T W となる。

5 このような構造によって、S O I 基板を用いて、さらに半導体層 1 4 にフィールド酸化膜 1 5 を形成するだけで、比較的容易に、隣接素子間を絶縁分離して、前記図 1 で示すような 4 端子素子を実現することができる。

10 以上のように、本実施例は、S O I, S O S 構造の基板上で、各素子の形成領域を素子分離領域（フィールド酸化膜 1 5）によって電氣的に分離し、分離された各素子形成領域毎に M O S F E T を形成し、その M O S F E T の半導体層をコンタクト孔を介して外部と電氣的に接続して電極として使用可能とする構成を有している。

15 それゆえ、1 素子で 2 入力、1 出力の回路を実現することができ、M O S F E T 単体の機能を向上することができる。これによって、たとえば論理回路を構成した場合には、集積回路化にあたってその集積度を向上することができ、動作速度の高速化、歩留まりの向上およびコストの削減を図ることができる。

20 本発明の第 3 実施例について、図 7 ～図 9 に基づいて説明すれば以下の通りである。

図 7 ～図 9 は、前記図 1 で示す半導体素子 1 を、前記図 4 ～図 6 で示す半導体素子 1 1 とは異なる構造（バルクタイプの構造）で実現するようにした、半導体素子 3 1 の構造を示す図である。図 7 は正面図であり、図 8 は図 7 の VIII - VIII 矢視断面図であり、図 9 は図 7 の IX - IX 矢視

断面図である。なお図 7 では、説明の便宜上、層間絶縁膜および上部メタル配線を省略している。

この半導体素子 3 1 では、半導体基板 3 2 上に、ディープウェル領域 3 3 と、このディープウェル領域 3 3 とは逆の導電形式のシャローウェル領域 3 4 とを積層形成するようにした基板を用いる。なお、前記シャローウェル領域 3 4 内には、該シャローウェル領域 3 4 の抵抗を低減するための高濃度埋込領域 3 5 が形成されており、また隣接する素子間は、電気絶縁性の溝型素子分離領域 3 6 によって相互に電氣的に分離されている。前記シャローウェル領域 3 4 には、該シャローウェル領域 3 4 と逆の導電形式のソース領域 3 およびドレイン領域 4 が形成されており、またこのソース領域 3 とドレイン領域 4 との間のチャネル領域上には、ゲート絶縁膜 6 を介してゲート電極 7 が形成されている。なお、高濃度埋込領域 3 5 とディープウェル領域 3 3 との間に設けられた層は、シャローウェル領域である。

前記ソース領域 3、ドレイン領域 4 およびゲート電極 7 は、層間絶縁膜 3 7 に形成されたコンタクト孔 4 1, 4 2, 4 3 を介して、上部メタル配線 4 5, 4 6, 4 7 にそれぞれ電氣的に接続されている。また、前記シャローウェル領域 3 4 において、前記ソース領域 3 およびドレイン領域 4 以外の領域に、不純物濃度の濃い領域 3 4 a が形成されており、この領域 3 4 a は前記層間絶縁膜 3 7 に形成されたコンタクト孔 4 4 を介して、上部メタル配線 4 8 と電氣的に接続される（図 9 参照）。これによって、シャローウェル領域 3 4 は、上部メタル配線 4 8 とオーミック接続される。前記領域 3 4 a とゲート電極 7 との間には、フィールド酸化膜 3 8 が形成されている（図 9 参照）。

この半導体素子 3 1 において、前記ソース領域 3 およびドレイン領域 4 は、たとえば、その深さが約 1 0 0 n m および不純物濃度が $1 \times 10^{20} / \text{cm}^3$ 以上に形成され、シャローウェル領域 3 4 は、その深さが約 1, 0 0 0 n m および不純物濃度が $5 \times 10^{16} / \text{cm}^3 \sim 1 \times 10^{17} / \text{cm}^3$ に形成され、上記高濃度埋込領域 3 5 は、その不純物の濃度分布がピークとなる深さが 5 0 0 n m \sim 7 0 0 n m、またそのピーク濃度が約 $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ に形成され、ディープウェル領域 3 3 は、その深さが約 3 μ m および不純物濃度が約 $5 \times 10^{16} / \text{cm}^3$ に形成される。なお、各領域の深さおよび不純物濃度は、これに限るものではない。

また、前記溝型素子分離領域 3 6 の深さは、シャローウェル領域 3 4 の深さに、該シャローウェル領域 3 4 とディープウェル領域 3 3 との接合によって形成される空乏層幅（正確には該空乏層幅のうち、ディープウェル領域 3 3 側に伸びている長さ）を加算した値以上に設定することによって、隣接する素子間でシャローウェル領域 3 4 を相互に電氣的に絶縁することができる。

これに対して、前記溝型素子分離領域 3 6 の深さが、シャローウェル領域 3 4 の深さと、該シャローウェル領域 3 4 とディープウェル領域 3 3 との接合によって形成される空乏層幅との合計値に達しない場合には、ディープウェル領域 3 3 側の空乏層によって、隣接する素子のシャローウェル領域 3 3 間が電氣的に導通することになり、パンチスルーが発生してしまう。

このため、前述のように構成することによって、素子形成上の最小加工寸法に略等しい溝型分離領域 3 6 部分の僅かなスペースが増加するだ

けで、隣接する素子間を相互に電氣的に絶縁することができる。これによって、前述の図 4 ～ 図 6 で示す半導体素子 11 のように、ボディー抵抗が高く、高価な SOI 基板を用いることなく、前記図 1 で示すような 4 端子の半導体素子 1 をバルクタイプに構成することができる。

- 5 以上のように、本実施例は、半導体基板内に P，N いずれか一方の導電型式のディープウェル領域と、P，N いずれか他方の導電型式のシャローウェル領域とを形成し、かつ相互に隣接する素子間が溝型分離領域によって少くともそのシャローウェル領域を電氣的に分離したバルク基板を用い、分離された各素子形成領域毎に MOSFET を形成し、その
- 10 MOSFET のソース領域およびドレイン領域以外の領域にコンタクト孔を設け、シャローウェル領域を外部と電氣的に接続して電極として使用可能とする構成を有している。

- それゆえ、バルク基板であっても、各素子形成領域のシャローウェル領域を溝型素子分離領域で電氣的に絶縁することによって、各素子相互
- 15 間の干渉を防止して各素子毎の個別の動作を可能とする。そして、その MOSFET の半導体層をコンタクト孔を介して外部と電氣的に接続して電極として使用可能とし、ゲートへの入力とこの半導体層への入力との 2 つの入力を可能とする。

- しかも、1 素子で 2 入力、1 出力の回路を実現することができ、MO
- 20 SFET 単体の機能を向上することができる。これによって、たとえば論理回路を構成した場合には、集積回路化にあたってその集積度を向上することができ、動作速度の高速化、歩留まりの向上およびコストの削減を図ることができる。また、SOI，SOS 基板を用いる場合よりも、低コスト化が可能であると共に、第 1 の電極の抵抗値を低減すること

ができる。

本発明の第4実施例について、図10および図11に基づいて説明すれば以下の通りである。

図10は、単位素子である前述の半導体素子1, 11, 31を用いる
5 具体例を示すものであり、CMOS構成の論理回路LOG1の電気回路図である。この論理回路LOG1は、対を成すPMOSFET(QP)と、NMOSFET(QN)とを備えており、PMOSFET(QP)のソースTSPがハイレベル(V_{DD})の電源ラインと接続され、NMOSFET(QN)のソースTSNがローレベル(GND)の電源ライン
10 と接続され、両MOSFET(QP及びQN)のドレインTDP, TDNが共に出力端子P3に接続され、ゲートTGP, TGNが共に第1の入力端子P1に接続される通常のCMOSインバータの構成において、基板端子TWP, TWNを共に第2の入力端子P2に接続するようにしたものである。

15 また、電源電圧 V_{DD} やチャネル領域の不純物濃度を適宜選択することによって、PMOSFET(QP)の入力IN1, IN2に対するドレイン電流の動作特性は、図11(a)で示すように設定されており、同様にNMOSFET(QN)の入力IN1, IN2に対するドレイン電流の動作特性は、図11(b)で示すように設定されている。すなわち
20 、両MOSFET(QP及びQN)は、ともに入力IN2が低電位(L)のときには閾値電圧(グラフにおける折点)が高電位(H)より高く、入力IN2が高電位(H)であるときには閾値電圧が該高電位(H)より低く、かつ低電位(L)より高くなるように設定されている。

上述のように構成された論理回路LOG1では、入力IN1が低電位

(L)であるときには、入力IN2の電位に無関係に、PMOSFET (QP)は導通し、NMOSFET (QN)は遮断し、出力OUTは高電位(H)となる。これに対して、入力IN1が高電位(H)であると、入力IN2が低電位(L)であるときにPMOSFET (QP)は導通し、NMOSFET (QN)は遮断し、出力OUTは高電位(H)となり、入力IN2も高電位(H)となると、PMOSFET (QP)は遮断し、NMOSFET (QN)は導通し、出力OUTは低電位(L)となる。以上の動作をまとめると表1のようになり、入力IN1, IN2がともに高電位(H)であるときにのみ出力OUTが低電位(L)となり、入力IN1, IN2の少なくともいずれか一方が低電位(L)であるときには出力OUTが高電位(H)となるNAND動作を実現することが理解される。

【表1】

IN1	IN2	QP	QN	OUT
L	L	ON	OFF	H
L	H	ON	OFF	H
H	L	ON	OFF	H
H	H	OFF	ON	L

したがって、通常は4個のMOSFETが必要なNAND回路を、2個のMOSFETで実現することができ、1素子当たりの高機能化を図ることによって集積回路化にあたってその集積度を確実に向上することができる。

以上のように、本実施例は、導電型式が相互に逆極性の素子を一對と

したCMOSインバータの構成において、両者のコンタクト孔を共に第2の入力端子とし、通常の入力である両者のゲートを共に第1の入力端子とする構成を有している。

5 それゆえ、2つの入力の電位またはチャネル領域の不純物濃度を適宜調整することによって、NANDまたはNOR回路を実現することができ、従来では4つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

本発明の第5実施例について、図12および図13に基づいて説明すれば以下の通りである。

10 図12は、本発明の第5実施例の論理回路LOG2の電気回路図である。この論理回路LOG2は、P、N対のMOSFET（QP及びQN）を備えて構成されており、PMOSFET（QP）のソースTSPはハイレベル（ V_{DD} ）の電源ラインに接続され、NMOSFET（QN）のソースTSNはローレベル（GND）の電源ラインに接続され、両者のドレインTDP、TDNが共に出力端子P3に接続される点において、前述の論理回路LOG1と類似している。しかしながら、次の点において異なっている。すなわち、PMOSFET（QP）のゲートTGPとNMOSFET（QN）の基板端子TWNとを共に入力端子P1に接続し、NMOSFET（QN）のゲートTGNとPMOSFET（QP）の基板端子TWPとを共に入力端子P2に接続している。

15

20

また、この論理回路LOG2の動作特性は、図13で示すように設定されている。すなわち、PMOSFET（QP）は、図13（a）で示すように、入力IN2、すなわちウェル電位が低電位（L）であるときには閾値電圧が高電位（H）より高く、前記入力IN2が高電位（H）

であるときには前記閾値電圧が前記高電位（H）より低く、かつ低電位（L）より高くなるように設定されている。これに対して、NMOSFET（QN）は、図13（b）で示すように、入力IN1が低電位（L）であるときには閾値電圧が高電位（H）より高く、前記入力IN1が高電位（H）であるときには前記閾値電圧が前記高電位（H）より低く、かつ低電位（L）より高くなるように設定されている。

したがって、入力IN1が低電位（L）であるときには、入力IN2のレベルに無関係に、PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、出力OUTは高電位（H）となる。また、入力IN1が高電位（H）では、入力IN2が低電位（L）であると、PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、出力OUTは高電位（H）となる。さらにまた、入力IN1，IN2がともに高電位（H）であるときには、PMOSFET（QP）は遮断し、NMOSFET（QN）は導通し、出力OUTは低電位（L）となる。

すなわち、前記表1で示すように、入力IN1，IN2がともに高電位（H）であるときにのみ出力OUTは低電位（L）となり、その他の場合には出力OUTは高電位（H）となる。このように構成してもまた、前記NAND動作を実現することができる。

以上のように、本実施例は、導電型式が相互に逆極性の素子を一対としたCMOSインバータの構成において、PMOSFETおよびNMOSFETのゲートをそれぞれ第1および第2の入力端子とし、NMOSFETおよびPMOSFETのコンタクト孔もそれぞれ前記第1および第2の入力端子とする構成を有している。

それゆえ、2つの入力電位またはチャネル領域の不純物濃度を適宜調

整することによって、NANDまたはNOR回路を実現することができる。これによって、従来では4つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

5 本発明の第6実施例について、図14に基づいて説明すれば以下の通りである。

本第6実施例では、前述の図10で示す論理回路LOG1において、MOSFET（QP及びQN）の動作特性を、それぞれ前記図11（a）および図11（b）のように設定するのではなく、図14（a）および図14（b）のように設定する。すなわち、MOSFET（QP及び
10 QN）は、ともに、入力IN2が低電位（L）であるときには、閾値電圧が該低電位（L）より高く、かつ高電位（H）より低く、入力IN2が高電位（H）であるときには、前記閾値電圧が該低電位（L）より低くなるように設定されている。

これによって、入力IN1が高電位（H）であるときには、入力IN
15 2の電位に無関係に、PMOSFET（QP）は遮断し、NMOSFET（QN）は導通し、出力OUTは低電位（L）となる。また、入力IN1が低電位（L）であり、かつ入力IN2が高電位（H）であるときにも、PMOSFET（QP）は遮断し、NMOSFET（QN）は導通し、出力OUTは低電位（L）となる。さらにまた、入力IN1，I
20 N2がともに低電位（L）であるときには、PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、出力OUTは高電位（H）となる。したがって、これらの動作をまとめると、表2で示すように、入力IN1，IN2がともに低電位（L）であるときにのみ出力OUTが高電位（H）となり、その他の場合には出力OUTが低電位（L）と

なるNOR動作を実現することができる。

【表 2】

IN 1	IN 2	QP	QN	OUT
L	L	ON	OFF	H
L	H	OFF	ON	L
H	L	OFF	ON	L
H	H	OFF	ON	L

5

10 2個のMOSFETによって実現することができる。

本発明の第7実施例について、図15に基づいて説明すれば以下の通りである。

図15は、本発明の第7実施例の動作特性を示すグラフであり、前述の図12で示す論理回路LOG2に適用される。図15(a)はPMOSFET(QP)の動作特性を表し、図15(b)はNMOSFET(QN)の動作特性を表す。すなわち、PMOSFET(QP)のウェル電位(入力IN2)およびNMOSFET(QN)のウェル電位(入力IN1)が、ともに低電位(L)であるときには、それぞれの閾値電圧が該低電位(L)より高く、かつ高電位(H)より低く設定され、ウェル電位がともに高電位(H)であるときには、閾値電圧が該低電位(L)より低くなるように設定されている。

20

したがって、入力IN1が高電位(H)であるときには、入力IN2の電位に無関係に、PMOSFET(QP)は遮断し、NMOSFET(QN)は導通し、出力OUTは低電位(L)となる。また、入力IN

1 が低電位（L）であり、入力 IN_2 が高電位（H）であるときにも、PMOSFET（QP）は遮断し、NMOSFET（QN）は導通し、出力 OUT は低電位（L）となる。さらにまた、入力 IN_1 、 IN_2 がともに低電位（L）であるときには、PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、出力 OUT は高電位（H）となる。

したがって、このように構成してもまた、前記表 2 で示すように、入力 IN_1 、 IN_2 がともに低電位（L）であるときにのみ出力 OUT が高電位（H）となり、その他の場合には低電位（L）となる NOR 動作を実現することができる。

10 本発明の第 8 実施例について、図 1 6 および図 1 7 に基づいて説明すれば以下の通りである。

図 1 6 は、本発明の第 8 実施例の論理回路 LOG 3 の電気回路図である。この論理回路 LOG 3 では、NMOSFET（QN）のドレイン T_{DN} がハイレベル（ V_{DD} ）の電源ラインと接続され、PMOSFET（QP）のドレイン T_{DP} がローレベル（GND）の電源ラインと接続され、両 MOSFET（QP 及び QN）のソース T_{SP} 、 T_{SN} が共に出力端子 P 3 に接続され、ゲート T_{GP} 、 T_{GN} が共に第 1 の入力端子 P 1 に接続され、基板端子 T_{WP} 、 T_{WN} が共に第 2 の入力端子 P 2 に接続される。

20 また、電源電圧 V_{DD} やチャネル領域の不純物濃度を適宜選択することによって、PMOSFET（QP）の入力 IN_1 、 IN_2 に対するドレイン電流の動作特性は、図 1 7（a）で示すように設定されており、同様に NMOSFET（QN）の入力 IN_1 、 IN_2 に対するドレイン電流の動作特性は、図 1 7（b）で示すように設定されている。

すなわち、両MOSFET（QP及びQN）がともに入力IN2、す
 なわちウェル電位が低電位（L）であるときには、閾値電圧が高電位（
 H）より高くなるように設定され、入力IN2が高電位（H）であるとき
 には、閾値電圧が該高電位（H）より低く、かつ低電位（L）より高
 5 くなるように設定されている。

したがって、入力IN1が低電位（L）であるときには、入力IN2
 の電位に無関係に、PMOSFET（QP）は導通し、NMOSFET
 （QN）は遮断し、出力OUTは低電位（L）となる。また、入力IN
 1が高電位（H）であり、入力IN2が低電位（L）であるときにも、
 10 PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、
 出力OUTは低電位（L）となる。さらにまた、入力IN1，IN2が
 ともに高電位（H）であるときには、PMOSFET（QP）は遮断し
 、NMOSFET（QN）は導通し、出力OUTは高電位（H）となる。

したがって、表3で示すように、入力IN1，IN2がともに高電位
 15 （H）であるときにのみ出力OUTは高電位（H）となり、その他の場
 合には出力OUTは低電位（L）となって、AND動作を行うことが理
 解される。

【表3】

IN1	IN2	QP	QN	OUT
L	L	ON	OFF	L
L	H	ON	OFF	L
H	L	ON	OFF	L
H	H	OFF	ON	H

このようにして、従来技術で述べたように、通常 6 個の MOSFET で構成される AND 回路を、2 個の MOSFET で実現することができる。

5 以上のように、本実施例は、導電型式が相互に逆極性の素子を一対とし、N 型半導体素子のドレインを高電位固定とし、P 型半導体素子のドレインを低電位固定とし、両者のゲートを共に第 1 の入力端子とし、両者のコンタクト孔を共に第 2 の入力端子とする構成を有している。

それゆえ、2 つの入力電位またはチャネル領域の不純物濃度を適宜調整することによって、AND または OR 回路を実現することができる。
10 これによって、従来では 6 つの MOSFET を要したこれらの回路を、2 つの MOSFET で実現することができる。

本発明の第 9 実施例について、図 18 および図 19 に基づいて説明すれば以下の通りである。

図 18 は、本発明の第 9 実施例の論理回路 LOG 4 の電気回路図である。
15 この論理回路 LOG 4 では、NMOSFET (QN) のドレイン T_{DN} はハイレベル (V_{DD}) の電源ラインに接続され、PMOSFET (QP) のドレイン T_{DP} はローレベル (GND) の電源ラインに接続され、両者のソース T_{SP}, T_{SN} が共に出力端子 P₃ に接続される点において、前述の論理回路 LOG 3 と類似している。しかしながら、次の
20 点において異なっている。すなわち、NMOSFET (QN) のゲート T_{GN} と PMOSFET (QP) の基板端子 T_{WP} とを共に入力端子 P₁ に接続し、PMOSFET (QP) のゲート T_{GP} と NMOSFET (QN) の基板端子 T_{WN} とを共に入力端子 P₂ に接続している。

また、この論理回路 LOG 4 の動作特性は、図 19 で示すように設定

されている。すなわち、PMOSFET (QP) は、図19 (a) で示すように、入力IN1、すなわちウェル電位が低電位 (L) であるときには閾値電圧が高電位 (H) より高く、前記入力IN1が高電位 (H) であるときには前記閾値電圧が前記高電位 (H) より低く、かつ低電位 (L) より高くなるように設定されている。これに対して、NMOSFET (QN) は、図19 (b) で示すように、入力IN2が低電位 (L) であるときには閾値電圧が高電位 (H) より高く、前記入力IN2が高電位 (H) であるときには前記閾値電圧が前記高電位 (H) より低く、かつ低電位 (L) より高くなるように設定されている。

したがって、入力IN1が低電位 (L) であるときには、入力IN2のレベルに無関係に、PMOSFET (QP) は導通し、NMOSFET (QN) は遮断し、出力OUTは低電位 (L) となる。また、入力IN1が高電位 (H) では、入力IN2が低電位 (L) であると、PMOSFET (QP) は導通し、NMOSFET (QN) は遮断し、出力OUTは低電位 (L) となる。さらにまた、入力IN1、IN2がともに高電位 (H) であるときには、PMOSFET (QP) は遮断し、NMOSFET (QN) は導通し、出力OUTは高電位 (H) となる。

すなわち、前記表3で示すように、入力IN1、IN2がともに高電位 (H) であるときにのみ出力OUTは高電位 (H) となり、その他の場合には出力OUTは低電位 (L) となる。このように構成してもまた、前記AND動作を実現することができる。

以上のように、本実施例は、導電型式が相互に逆極性の素子を一対とし、N型半導体素子のドレインを高電位固定とし、P型半導体素子のドレインを低電位固定とし、N型半導体素子のゲートおよびP型半導体素

子のコンタクト孔を共に第1の入力端子とし、P型半導体素子のゲートおよびN型半導体素子のコンタクト孔を共に第2の入力端子とし、両者のドレインを共に出力端子とする構成を有している。

それゆえ、2つの入力電位またはチャネル領域の不純物濃度を適宜調整することによって、ANDまたはOR回路を実現することができる。これによって、従来では6つのMOSFETを要したこれらの回路を、2つのMOSFETで実現することができる。

本発明の第10実施例について、図20に基づいて説明すれば以下の通りである。

図20は、本発明の第10実施例の動作特性を示すグラフである。この動作特性は、前述の図16で示す論理回路LOG3に適用される。図20(a)はPMOSFET(QP)の動作特性を表し、図20(b)はNMOSFET(QN)の動作特性を表す。したがって、MOSFET(QP及びQN)のウェル電位、すなわち入力IN2がともに低電位(L)であるときには、閾値電圧が該低電位(L)より高く、かつ高電位(H)より低く、入力IN2が高電位(H)であるときには、閾値電圧が該低電位(L)より低くなるように設定されている。

これによって、入力IN1が高電位(H)であるときには、入力IN2の電位に無関係に、PMOSFET(QP)は遮断し、NMOSFET(QN)は導通し、出力OUTは高電位(H)となる。また、入力IN1が低電位(L)であり、入力IN2が高電位(H)であるときにも、PMOSFET(QP)は遮断し、NMOSFET(QN)は導通し、出力OUTは高電位(H)となる。さらにまた、入力IN1、IN2がともに低電位(L)であるときには、PMOSFET(QP)は導通

し、NMOSFET (QN) は遮断し、出力OUTは低電位 (L) となる。

すなわち、表 4 で示すように、入力 IN 1, IN 2 がともに低電位 (L) であるときにのみ出力OUTが低電位 (L) となり、その他の場合には出力OUTが高電位 (H) となるOR動作を実現することが理解される。

【表 4】

IN 1	IN 2	QP	QN	OUT
L	L	ON	OFF	L
L	H	OFF	ON	H
H	L	OFF	ON	H
H	H	OFF	ON	H

このようにして、前述のように通常では 6 個の MOSFET で構成されるOR回路を、2 個の MOSFET で実現することができる。

本発明の第 1 1 実施例について、図 2 1 に基づいて説明すれば以下の通りである。

図 2 1 は、本発明の第 1 1 実施例の動作特性を示すグラフであり、前述の図 1 8 で示す論理回路 LOG 4 に適用される。図 2 1 (a) は PMOSFET (QP) の動作特性を表し、図 2 1 (b) は NMOSFET (QN) の動作特性を表す。すなわち、PMOSFET (QP) のウェル電位 (入力 IN 1)、および NMOSFET (QN) のウェル電位 (入力 IN 2) が低電位 (L) であるときに閾値電圧が該低電位 (L) より高く、かつ高電位 (H) より低くなり、前記ウェル電位が高電位 (H)

）であるときには、閾値電圧が低電位（L）より低くなるように設定されている。

したがって、入力IN1が高電位（H）であるときには、入力IN2の電位に無関係に、PMOSFET（QP）は遮断し、NMOSFET（QN）は導通し、出力OUTは高電位（H）となる。また、入力IN1が低電位（L）であり、入力IN2が高電位（H）であるときにも、PMOSFET（QP）は遮断し、NMOSFET（QN）は導通し、出力OUTは高電位（H）となる。さらにまた、入力IN1，IN2がともに低電位（L）であるときには、PMOSFET（QP）は導通し、NMOSFET（QN）は遮断し、出力OUTは低電位（L）となる。

すなわち、前記表4で示すように、入力IN1，IN2がともに低電位（L）であるときにのみ出力OUTが低電位（L）となり、その他の場合には出力OUTが高電位（H）となり、このように構成してもまた、前記OR動作を実現することができる。

以上のように、上述の実施例は、ゲートおよびコンタクト孔をそれぞれ入力端子とし、クロックなどによって相互に同期の取れた個別の入力信号を入力する構成を有している。

それゆえ、単純な1入力1出力のON/OFF動作ではなく、2入力1出力の論理回路の動作を実現することができ、少ない素子数で論理回路を構成することができる。

尚、発明を実施するための最良の形態の項においてなした具体的な実施態様または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する特許請求の範囲内で、いろ

いと変更して実施することができるものである。

産業上の利用可能性

- 5 以上のように、本発明に係る半導体装置は、各種ロジック演算回路として有用であり、特に、1素子当たりの高機能化による高集積度化、動作速度の高速化、歩留りの向上、及びコストの削減化を図る必要のある各種ロジック演算回路に適している。

請 求 の 範 囲

1. 半導体層のウェルにおいて、ソース端子を有するソース領域とド
レイン端子を有するドレイン領域とが設けられ、これらの間のチャネル
5 領域上に、ゲート絶縁膜を介してゲート端子が設けられた半導体素子を
複数備えた半導体装置であって、

上記半導体素子は相互に電氣的に分離されており、

上記の各ウェルにおいて上記ソース領域および上記ドレイン領域以外
の領域に設けられたコンタクト孔を介して基板端子が設けられている半
10 導体装置。

2. 上記チャネル領域の不純物濃度、ゲート端子及び基板端子に印加
する高電圧、低電圧のレベルを調整して動作特性を変える請求項1記載
の半導体装置。

3. 上記の各半導体層は、酸化膜によって電氣的に互いに分離されて
15 いる請求項1記載の半導体装置。

4. 半導体層のウェルにおいて、ソース端子を有するソース領域とド
レイン端子を有するドレイン領域とが設けられ、これらの間のチャネル
領域上に、ゲート絶縁膜を介してゲート端子が設けられた半導体素子を
複数備えた半導体装置であって、

20 上記半導体素子は、相互に電氣的に分離されており、

上記の半導体層は、シャローウェル領域、該シャローウェル領域の抵
抗を低減するための高濃度埋込領域、及びディープウェル領域が積層さ
れてなり、

上記の各シャローウェル領域において上記ソース領域および上記ドレ

イン領域以外の領域に設けられたコンタクト孔を介して基板端子が設けられている半導体装置。

5. 上記半導体素子は、溝型分離領域によって電氣的に互いに分離されており、

- 5 上記溝型分離領域の深さは、上記シャローウェル領域の深さと、該シャローウェル領域と上記ディープウェル領域の接合によって形成される空乏層との合計値以上に設定されている請求項4記載の半導体装置。

6. 上記の各半導体素子は、一对のP型半導体素子およびN型半導体素子からなり、

- 10 上記P型半導体素子のソース端子には高電位が供給され、上記N型半導体素子のソース端子には低電位が供給され、両者のゲート端子は互いに接続されて第1入力端子となり、両者の基板端子は互いに接続されて第2入力端子となり、両者のドレイン端子は互いに接続されて出力端子となる請求項1記載の半導体装置。

- 15 7. 上記の各半導体素子は、一对のP型半導体素子およびN型半導体素子からなり、

- 上記P型半導体素子のソース端子には高電位が供給され、上記N型半導体素子のソース端子には低電位が供給され、両者のゲート端子は互いに接続されて第1入力端子となり、両者の基板端子は互いに接続されて
20 第2入力端子となり、両者のドレイン端子は互いに接続されて出力端子となる請求項4記載の半導体装置。

8. 上記P型半導体素子および上記N型半導体素子は、共に、上記の第2入力端子が低電位するときには閾値電圧が高電位より高く、上記の第2入力端子が高電位するときには閾値電圧が高電位より低く且つ低電位よ

りも高くなるように設定されている請求項 6 記載の半導体装置。

9. 上記 P 型半導体素子および上記 N 型半導体素子は、共に、上記の第 2 入力端子が低電位のときには閾値電圧が高電位より高く、上記の第 2 入力端子が高電位のときには閾値電圧が高電位より低く且つ低電位より
5 りも高くなるように設定されている請求項 7 記載の半導体装置。

10. 上記の各半導体素子は、一对の P 型半導体素子および N 型半導体素子からなり、

上記 P 型半導体素子のソース端子には高電位が供給され、上記 N 型半導体素子のソース端子には低電位が供給され、上記 P 型半導体素子のゲート端子および上記 N 型半導体素子の基板端子は互いに接続されて第 1
10 入力端子となり、上記 N 型半導体素子のゲート端子および上記 P 型半導体素子の基板端子は互いに接続されて第 2 入力端子となり、両者のドレイン端子は互いに接続されて出力端子とする請求項 1 記載の半導体装置。

11. 上記の各半導体素子は、一对の P 型半導体素子および N 型半導
15 体素子からなり、

上記 P 型半導体素子のソース端子には高電位が供給され、上記 N 型半導体素子のソース端子には低電位が供給され、上記 P 型半導体素子のゲート端子および上記 N 型半導体素子の基板端子は互いに接続されて第 1
入力端子となり、上記 N 型半導体素子のゲート端子および上記 P 型半導
20 体素子の基板端子は互いに接続されて第 2 入力端子となり、両者のドレイン端子は互いに接続されて出力端子とする請求項 4 記載の半導体装置。

12. 上記 P 型半導体素子は、上記の第 2 入力端子が低電位のときには閾値電圧が高電位より高く、上記の第 2 入力端子が高電位のときには閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されて

いると共に、

上記N型半導体素子は、上記の第1入力端子が低電位のときには閾値電圧が高電位より高く、上記の第1入力端子が高電位のときには閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されている請求項10記載の半導体装置。

13. 上記P型半導体素子は、上記の第2入力端子が低電位のときには閾値電圧が高電位より高く、上記の第2入力端子が高電位のときには閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されていると共に、

10 上記N型半導体素子は、上記の第1入力端子が低電位のときには閾値電圧が高電位より高く、上記の第1入力端子が高電位のときには閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されている請求項11記載の半導体装置。

14. 上記P型半導体素子および上記N型半導体素子は、共に、上記
15 の第2入力端子が低電位のときには閾値電圧が低電位より高く且つ高電位より低く、上記の第2入力端子が高電位のときには閾値電圧が低電位より低くなるように設定されている請求項6記載の半導体装置。

15. 上記P型半導体素子および上記N型半導体素子は、共に、上記
20 の第2入力端子が低電位のときには閾値電圧が低電位より高く且つ高電位より低く、上記の第2入力端子が高電位のときには閾値電圧が低電位より低くなるように設定されている請求項7記載の半導体装置。

16. 上記P型半導体素子および上記N型半導体素子は、共に、上記の第1入力端子および上記の第2入力端子が何れも低電位であるときには、それぞれの閾値電圧が低電位より高く且つ高電位より低く、上記の

第 1 入力端子および上記の第 2 入力端子が何れも高電位であるときには、閾値電圧が低電位より低くなるように設定されている請求項 10 記載の半導体装置。

17. 上記 P 型半導体素子および上記 N 型半導体素子は、共に、上記の第 1 入力端子および上記の第 2 入力端子が何れも低電位であるときには、それぞれの閾値電圧が低電位より高く且つ高電位より低く、上記の第 1 入力端子および上記の第 2 入力端子が何れも高電位であるときには、閾値電圧が低電位より低くなるように設定されている請求項 11 記載の半導体装置。

18. 上記の各半導体素子は、一对の P 型半導体素子および N 型半導体素子からなり、

上記 N 型半導体素子のドレイン端子には高電位が供給され、上記 P 型半導体素子のドレイン端子には低電位が供給され、両者のゲート端子は互いに接続されて第 1 入力端子となり、両者の基板端子は互いに接続されて第 2 入力端子となり、両者のソース端子は互いに接続されて出力端子となる請求項 1 記載の半導体装置。

19. 上記の各半導体素子は、一对の P 型半導体素子および N 型半導体素子からなり、

上記 N 型半導体素子のドレイン端子には高電位が供給され、上記 P 型半導体素子のドレイン端子には低電位が供給され、両者のゲート端子は互いに接続されて第 1 入力端子となり、両者の基板端子は互いに接続されて第 2 入力端子となり、両者のソース端子は互いに接続されて出力端子となる請求項 4 記載の半導体装置。

20. 上記 P 型半導体素子および上記 N 型半導体素子は、共に、上記

の第 2 入力端子が低電位であるときには、閾値電圧が高電位より高く、上記の第 2 入力端子が高電位であるときには、閾値電圧が高電位より低く且つ低電位より高くなるように設定されている請求項 1 8 記載の半導体装置。

5 2 1. 上記 P 型半導体素子および上記 N 型半導体素子は、共に、上記の第 2 入力端子が低電位であるときには、閾値電圧が高電位より高く、上記の第 2 入力端子が高電位であるときには、閾値電圧が高電位より低く且つ低電位より高くなるように設定されている請求項 1 9 記載の半導体装置。

10 2 2. 上記の各半導体素子は、一对の P 型半導体素子および N 型半導体素子からなり、

 上記 N 型半導体素子のドレイン端子には高電位が供給され、上記 P 型半導体素子のドレイン端子には低電位が供給され、上記 N 型半導体素子のゲート端子および上記 P 型半導体素子の基板端子は互いに接続されて
15 第 1 入力端子となり、上記 P 型半導体素子のゲート端子および上記 N 型半導体素子の基板端子は互いに接続されて第 2 入力端子となり、両者のドレイン端子は互いに接続されて出力端子となる請求項 1 記載の半導体装置。

 2 3. 上記の各半導体素子は、一对の P 型半導体素子および N 型半導
20 体素子からなり、

 上記 N 型半導体素子のドレイン端子には高電位が供給され、上記 P 型半導体素子のドレイン端子には低電位が供給され、上記 N 型半導体素子のゲート端子および上記 P 型半導体素子の基板端子は互いに接続されて第 1 入力端子となり、上記 P 型半導体素子のゲート端子および上記 N 型

半導体素子の基板端子は互いに接続されて第 2 入力端子となり、両者のドレイン端子は互いに接続されて出力端子となる請求項 4 記載の半導体装置。

2 4. 上記 P 型半導体素子は、上記の第 1 入力端子が低電位的时候には閾値電圧が高電位より高く、上記の第 1 入力端子が高電位的时候には閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されていると共に、

上記 N 型半導体素子は、上記の第 2 入力端子が低電位的时候には閾値電圧が高電位より高く、上記の第 2 入力端子が高電位的时候には閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されている請求項 2 2 記載の半導体装置。

2 5. 上記 P 型半導体素子は、上記の第 1 入力端子が低電位的时候には閾値電圧が高電位より高く、上記の第 1 入力端子が高電位的时候には閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されていると共に、

上記 N 型半導体素子は、上記の第 2 入力端子が低電位的时候には閾値電圧が高電位より高く、上記の第 2 入力端子が高電位的时候には閾値電圧が高電位より低く且つ低電位よりも高くなるように設定されている請求項 2 3 記載の半導体装置。

2 6. 上記 P 型半導体素子および上記 N 型半導体素子は、共に、上記の第 2 入力端子が低電位である时候には、閾値電圧が低電位より高く且つ高電位より低く、上記の第 2 入力端子が高電位である时候には、閾値電圧が低電位より低くなるように設定されている請求項 1 8 記載の半導体装置。

27. 上記P型半導体素子および上記N型半導体素子は、共に、上記の第2入力端子が低電位であるときには、閾値電圧が低電位より高く且つ高電位より低く、上記の第2入力端子が高電位であるときには、閾値電圧が低電位より低くなるように設定されている請求項19記載の半導体装置。

28. 上記P型半導体素子および上記N型半導体素子は、上記の第2入力端子が低電位のときには閾値電圧が低電位より高く且つ高電位より低く、上記の第2入力端子が高電位のときには閾値電圧が低電位より低くなるように設定されている請求項22記載の半導体装置。

29. 上記P型半導体素子および上記N型半導体素子は、上記の第2入力端子が低電位のときには閾値電圧が低電位より高く且つ高電位より低く、上記の第2入力端子が高電位のときには閾値電圧が低電位より低くなるように設定されている請求項23記載の半導体装置。

30. 半導体基板と、

前記半導体基板上に形成される下地絶縁膜と、

前記下地絶縁膜上に形成され、かつ電気絶縁性の素子分離領域で外囲されて隣接素子間が区分され、第1の電極となるP、Nいずれか一方の導電型式の半導体層と、

前記半導体層内に形成され、P、Nいずれか他方の導電型式で第2の電極となるソース領域および第3の電極となるドレイン領域と、

前記ソース領域と前記ドレイン領域との間に形成されるチャネル領域と、

前記チャネル領域上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、第4の電極となるゲート電極とを備

え、

前記素子分離領域で区分された各半導体層毎に、ソース領域およびドレイン領域以外の領域にコンタクト孔を設けることを特徴とする半導体装置。

5 3 1. 半導体基板と、

前記半導体基板内に形成されるP、Nいずれか一方の導電型式のディープウェル領域と、

前記ディープウェル領域上に形成され、第1の電極となるP、Nいずれか他方の導電型式のシャローウェル領域と、

10 前記シャローウェル領域内に形成され、P、Nいずれか一方の導電型式で第2の電極となるソース領域および第3の電極となるドレイン領域と、

前記ソース領域と前記ドレイン領域との間に形成されるチャネル領域と、

15 前記チャネル領域上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、第4の電極となるゲート電極とを備え、

相互に隣接する素子間が溝型分離領域によって少なくともシャローウェル領域が電氣的に分離されており、該溝型分離領域で隣接素子間が区分
20 された各シャローウェル領域毎に、ソース領域およびドレイン領域以外の領域にコンタクト孔を設けることを特徴とする半導体装置。

3 2. 導電型式が相互に逆極性の素子を一対とし、P型半導体素子のソースを高電位固定とし、N型半導体素子のソースを低電位固定とし、両者のゲートを共に第1の入力端子とし、両者のコンタクト孔を共に第

2 の入力端子とし、両者のドレインを共に出力端子とすることを特徴とする請求項 3 0 又は 3 1 記載の半導体装置。

3 3. 導電型式が相互に逆極性の素子を一对とし、P 型半導体素子のソースを高電位固定とし、N 型半導体素子のソースを低電位固定とし、
5 P 型半導体素子のゲートおよび N 型半導体素子のコンタクト孔を共に第 1 の入力端子とし、N 型半導体素子のゲートおよび P 型半導体素子のコンタクト孔を共に第 2 の入力端子とし、両者のドレインを共に出力端子とすることを特徴とする請求項 3 0 又は 3 1 記載の半導体装置。

3 4. 導電型式が相互に逆極性の素子を一对とし、N 型半導体素子の
10 ドレインを高電位固定とし、P 型半導体素子のドレインを低電位固定とし、両者のゲートを共に第 1 の入力端子とし、両者のコンタクト孔を共に第 2 の入力端子とし、両者のソースを共に出力端子とすることを特徴とする請求項 3 0 又は 3 1 記載の半導体装置。

3 5. 導電型式が相互に逆極性の素子を一对とし、N 型半導体素子の
15 ドレインを高電位固定とし、P 型半導体素子のドレインを低電位固定とし、N 型半導体素子のゲートおよび P 型半導体素子のコンタクト孔を共に第 1 の入力端子とし、P 型半導体素子のゲートおよび N 型半導体素子のコンタクト孔を共に第 2 の入力端子とし、両者のドレインを共に出力端子とすることを特徴とする請求項 3 0 又は 3 1 記載の半導体装置。

20 3 6. 上記ゲートおよび上記コンタクト孔をそれぞれ入力端子とし、相互に同期した個別の入力信号を入力することを特徴とする請求項 3 0 ～ 3 5 のいずれかに記載の半導体装置の駆動方法。

要 約 書

ウェル（２）内にソース領域（３）とドレイン領域（４）とが形成され、かつそれらの領域間のチャネル領域（５）上に、ゲート絶縁膜（６）を介してゲート電極（７）が形成される半導体素子（１）において、たとえばＳＯＩ基板を用い、かつフィールド酸化膜などによって各素子間を電氣的に絶縁し、各素子毎にソース領域（３）およびドレイン領域（４）以外の領域で層間絶縁膜にコンタクト孔を形成し、チャネル領域（５）から基板端子（ＴＷ）を引出す。これによって、ゲート端子（ＴＧ）と該基板端子（ＴＷ）との２つを入力とする２入力１出力の素子を実現することができ、論理回路などを構成するにあたって、集積度を向上し、高速化および低コスト化を図ることができる。

図 1

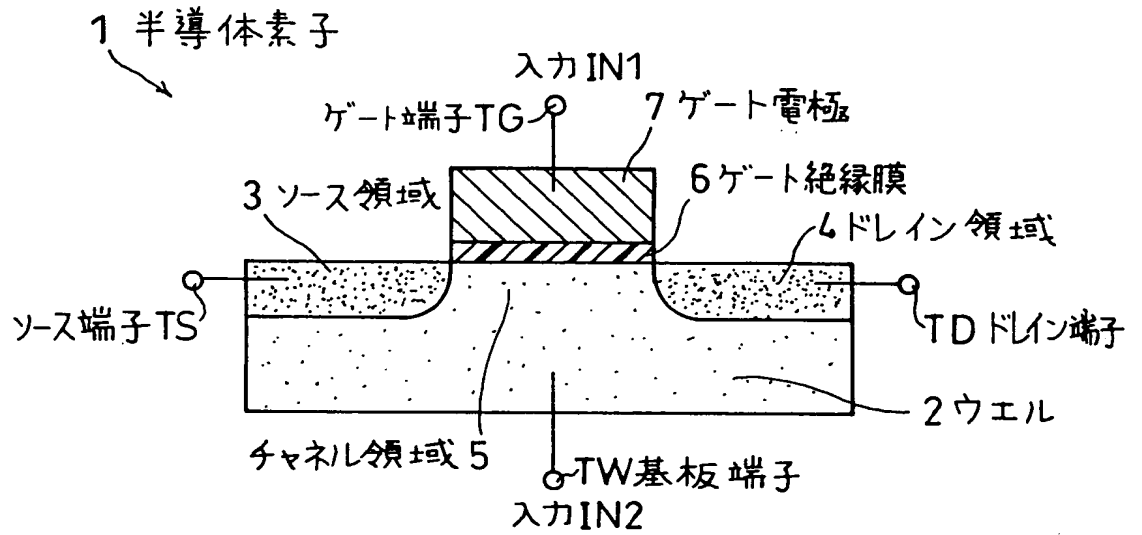


図 2

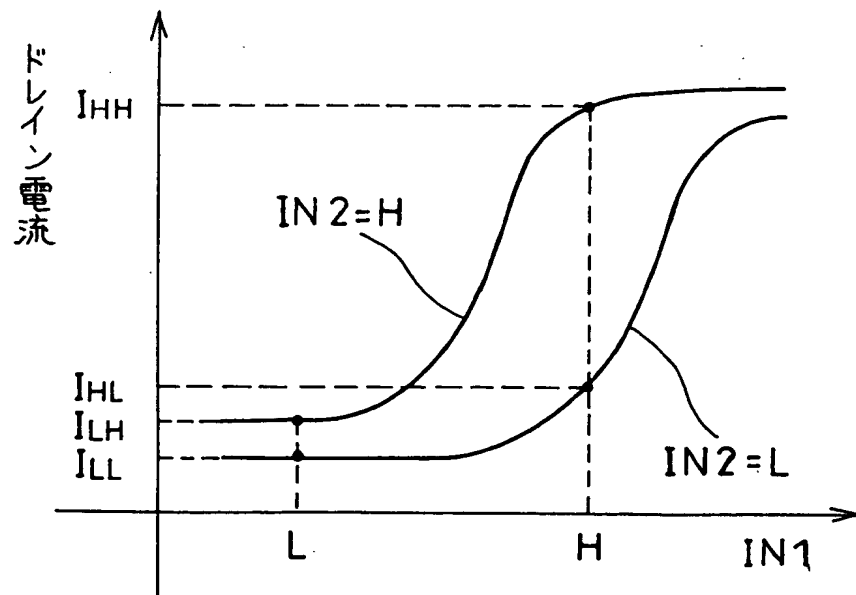


図 3

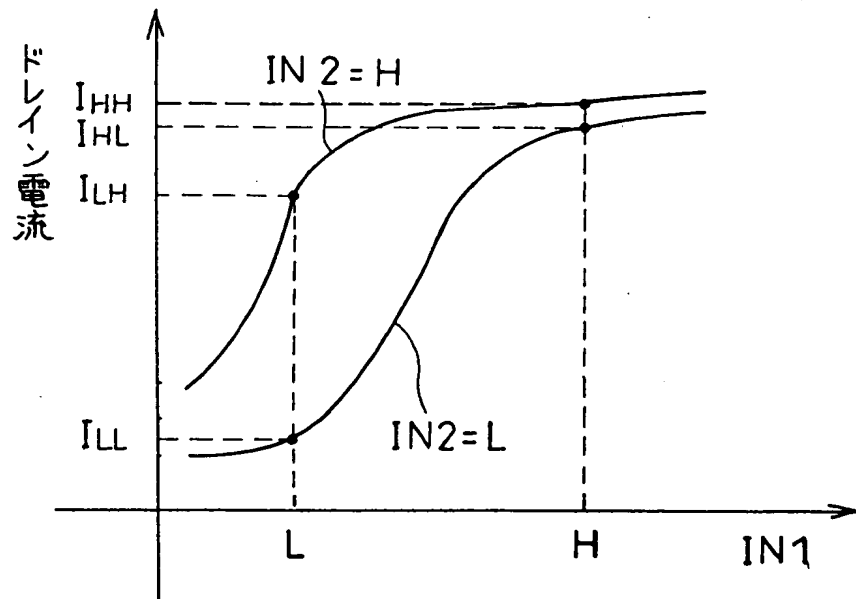


図 4

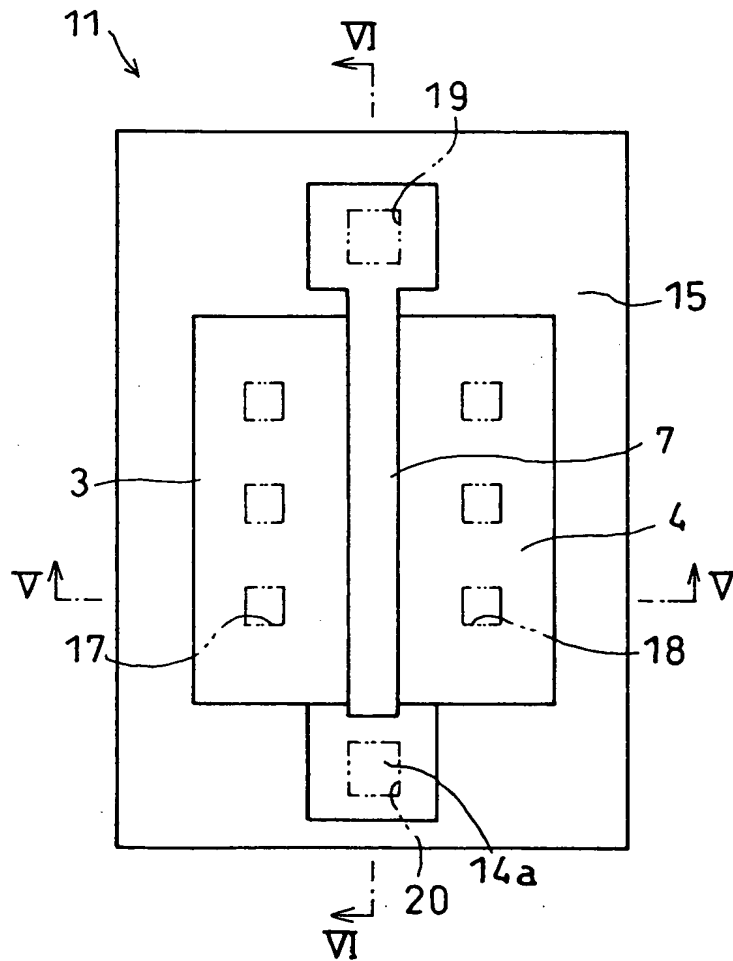


図 5

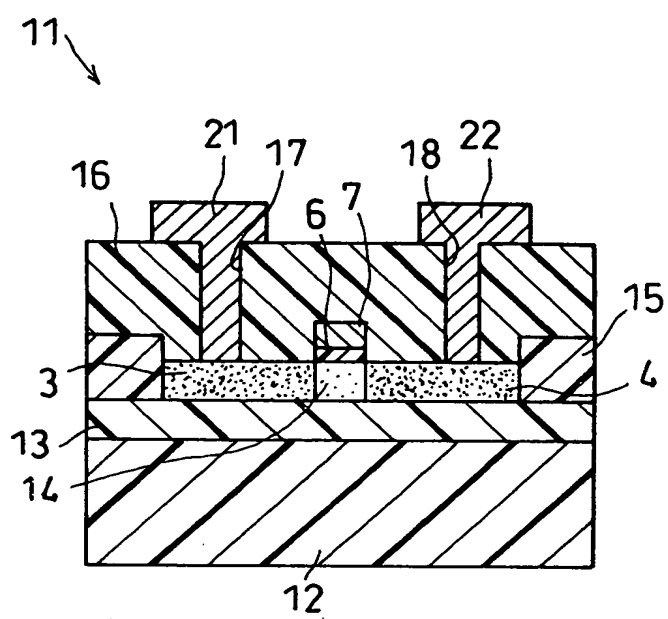


図 6

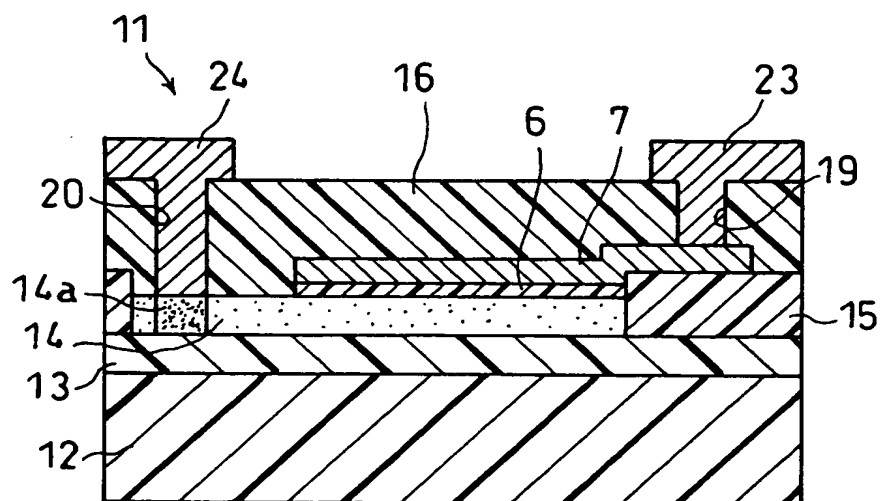


图 7

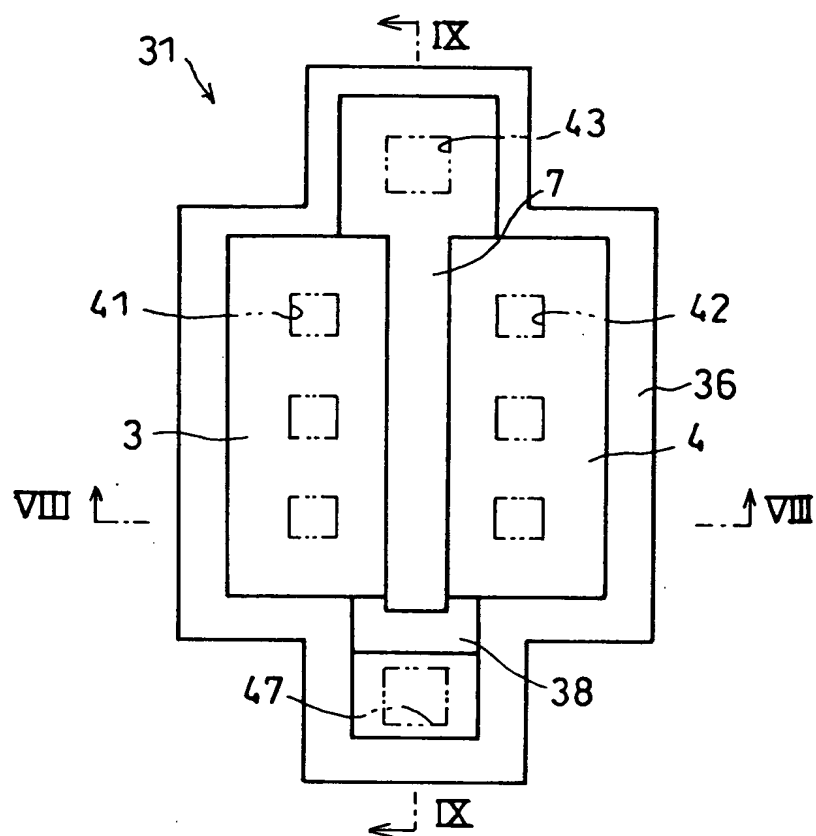


图 8

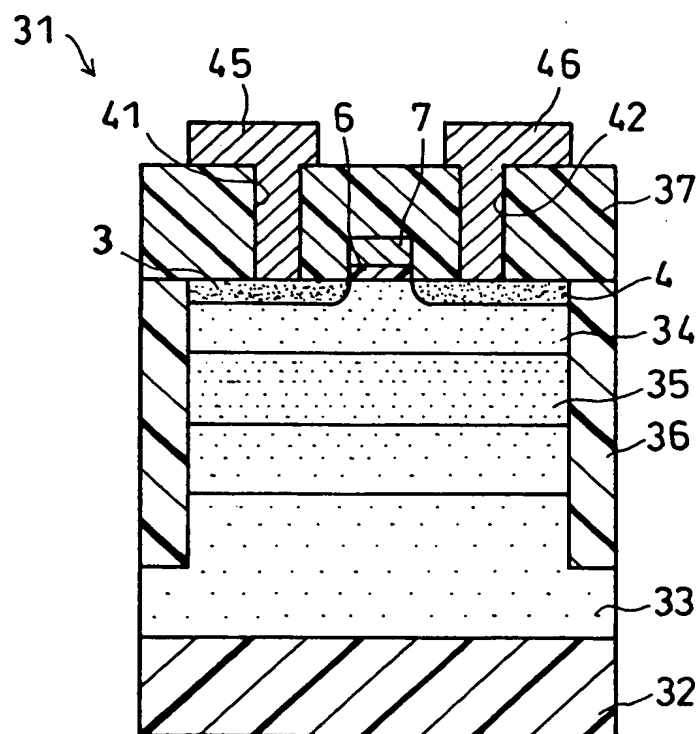


図 9

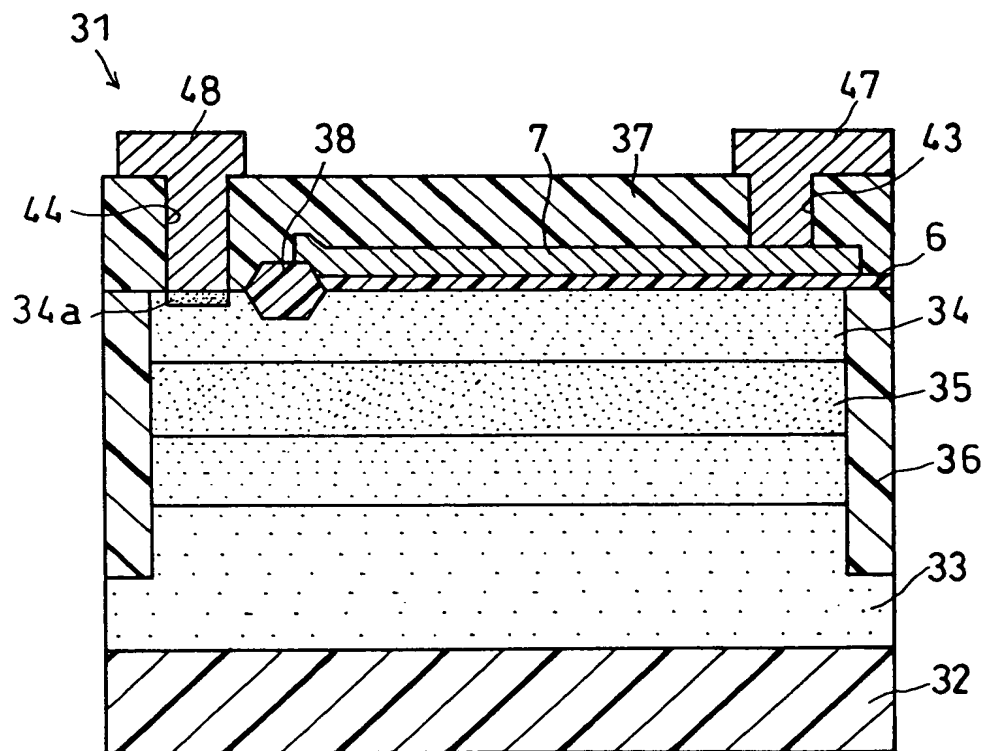


图 10

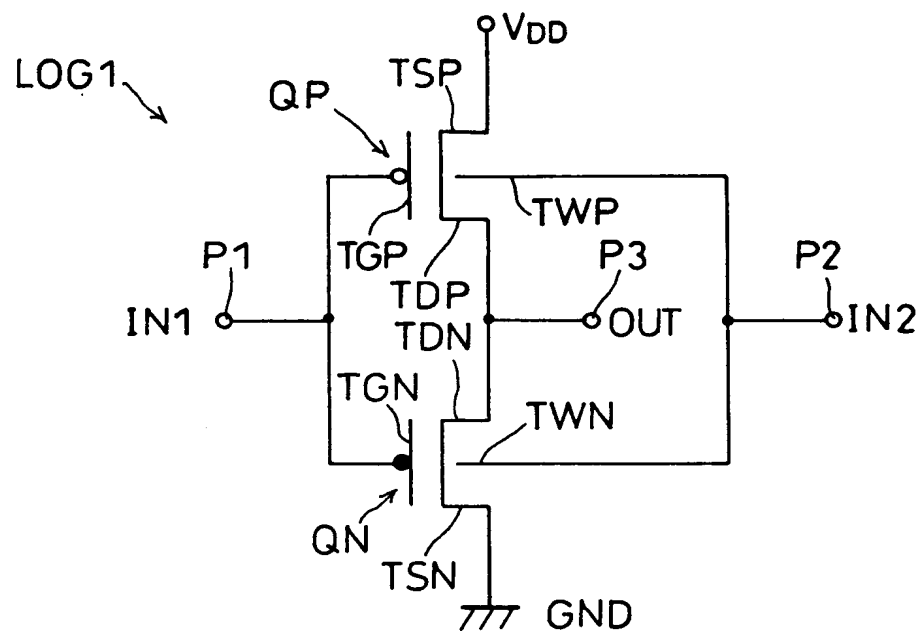


図11(b)

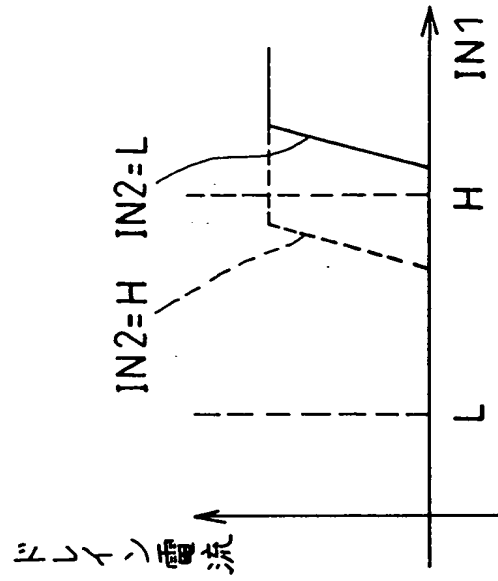
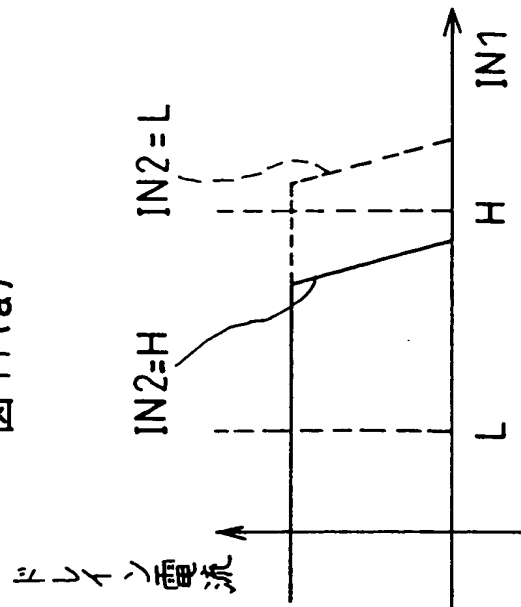


図11(a)



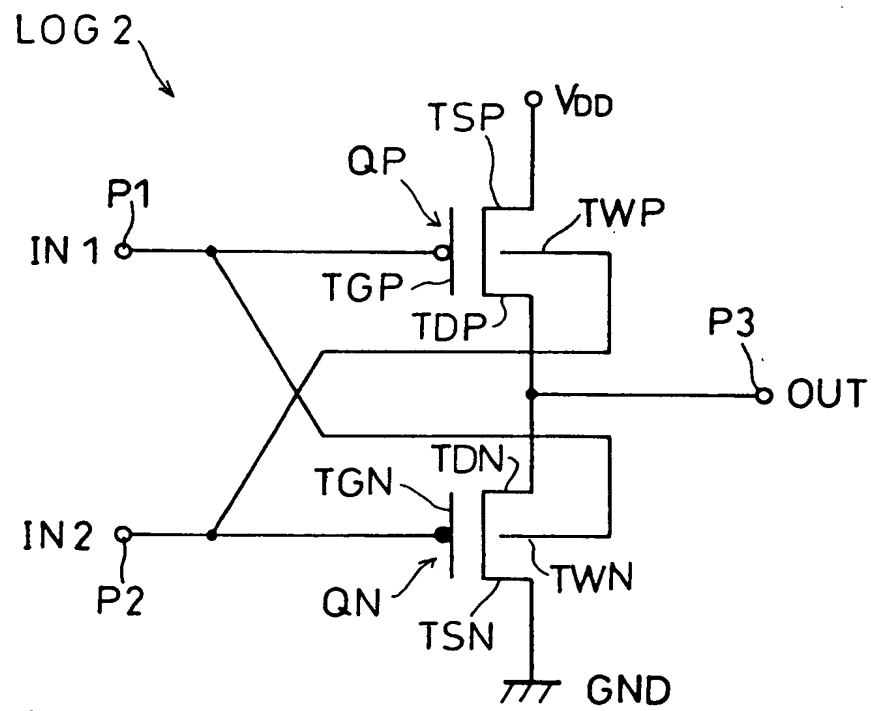


図13(a)

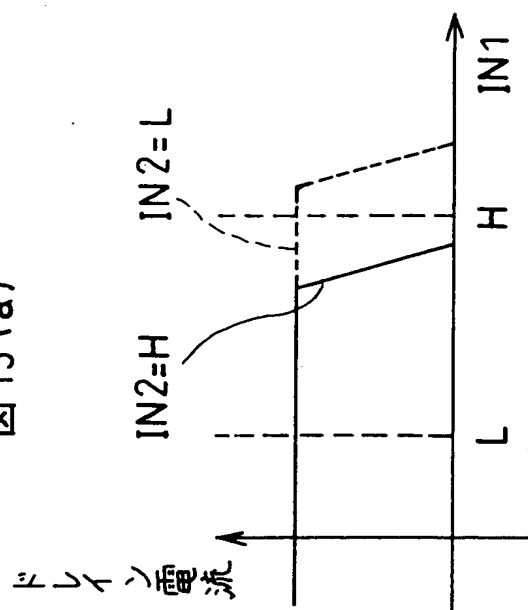


図13(b)

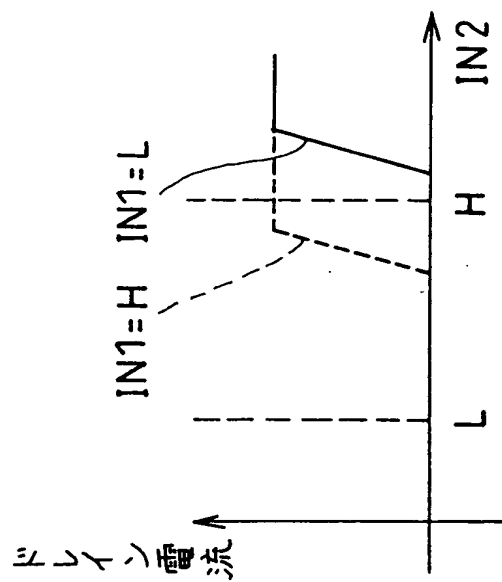


図14 (b)

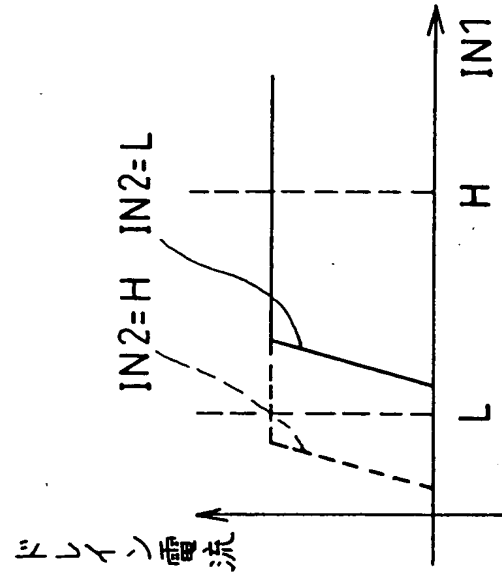


図14 (a)

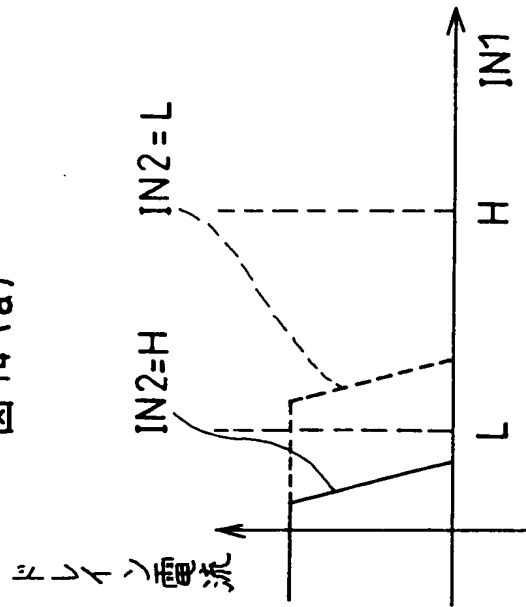


図15(a)

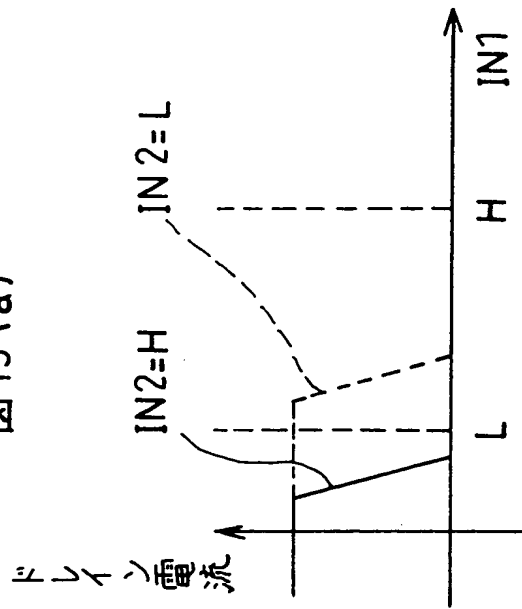


図15(b)

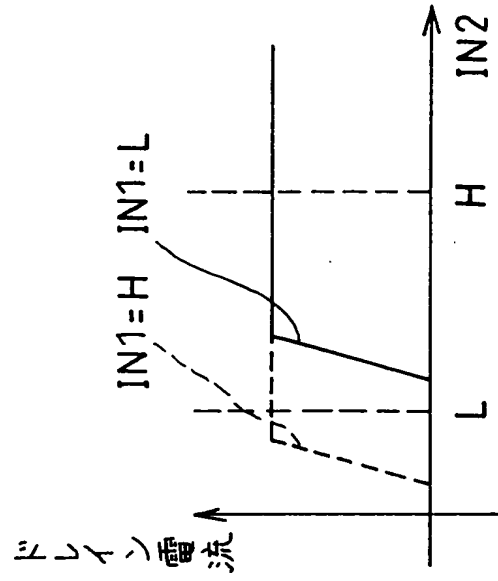


図 16

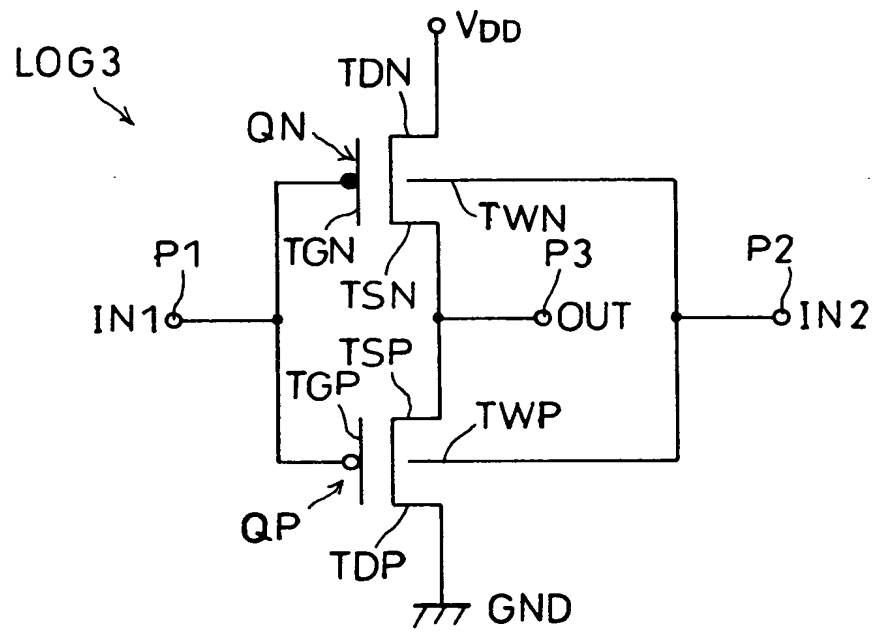


図17 (b)

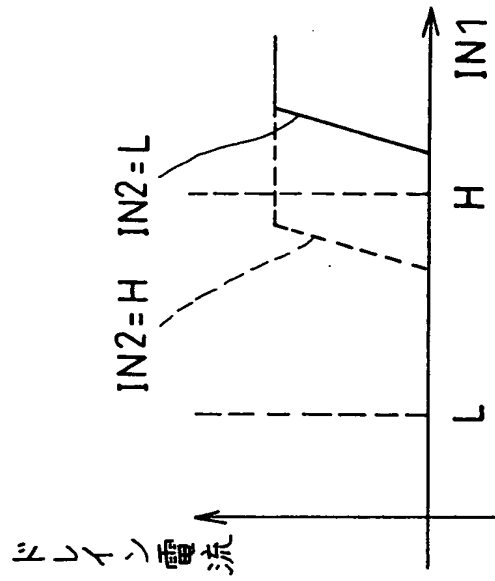
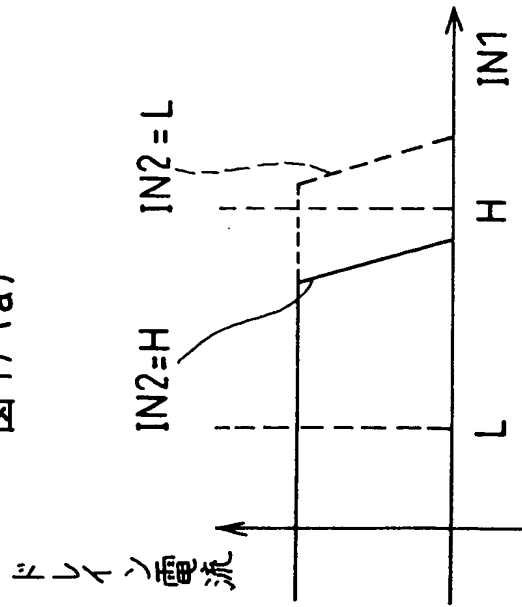


図17 (a)



18

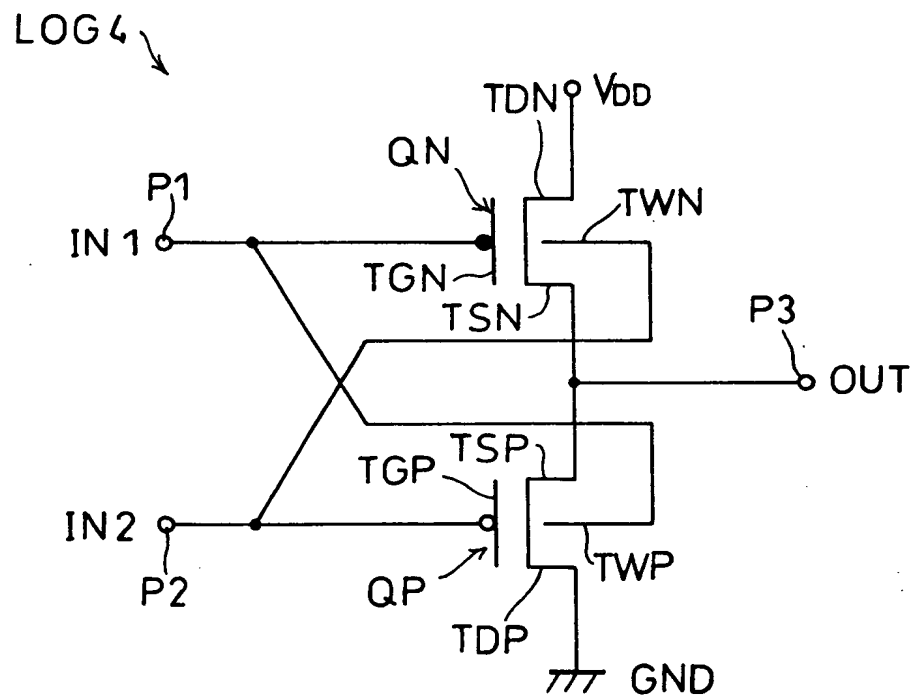


図19 (b)

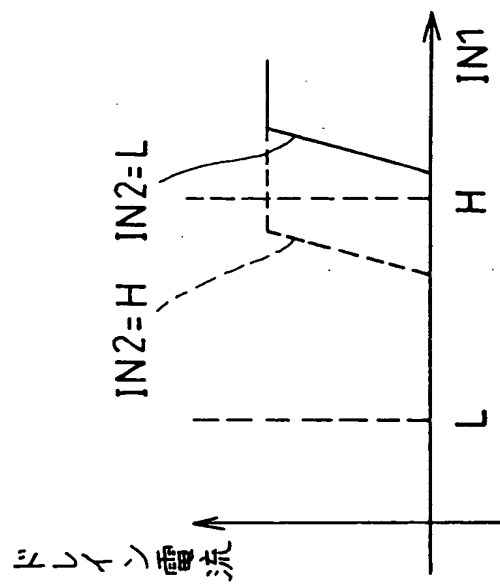


図19 (a)

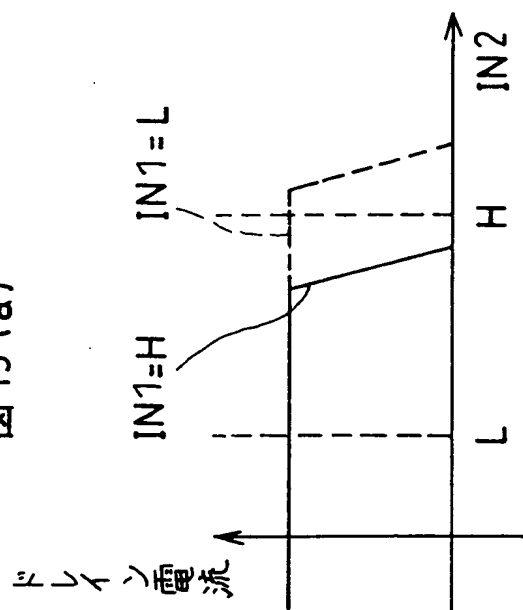


図 20 (b)

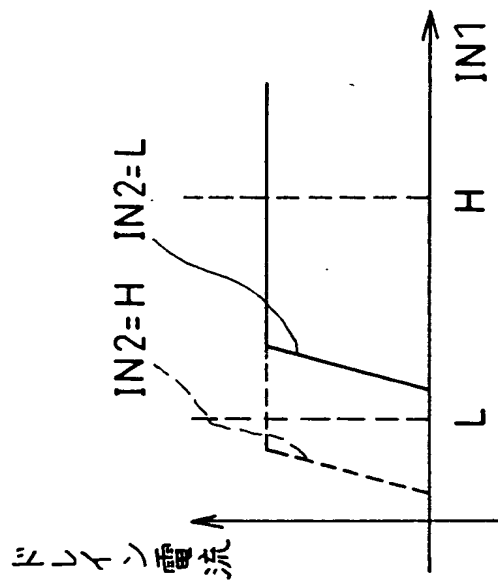


図 20 (a)

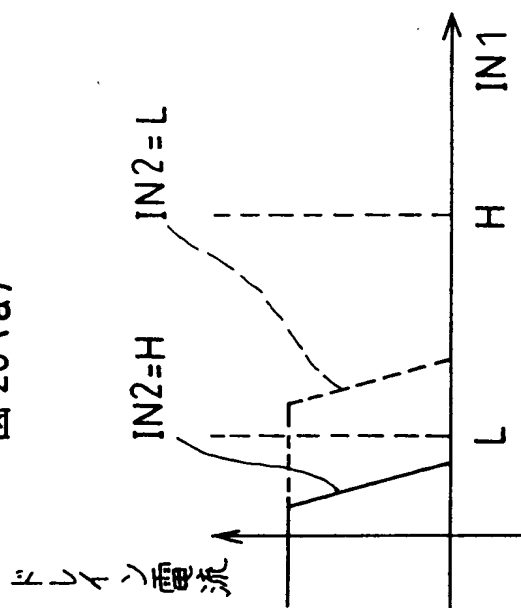


図 21 (b)

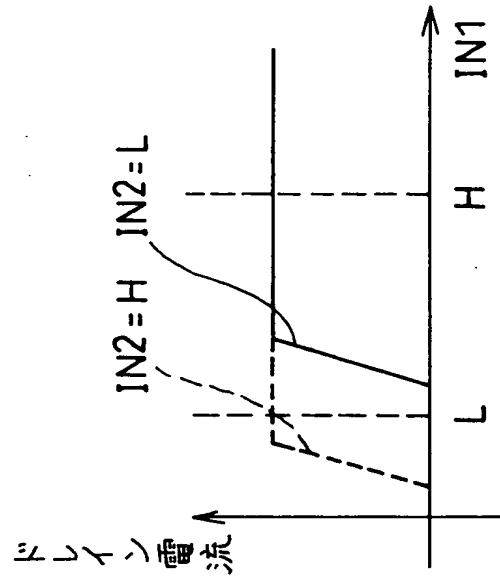
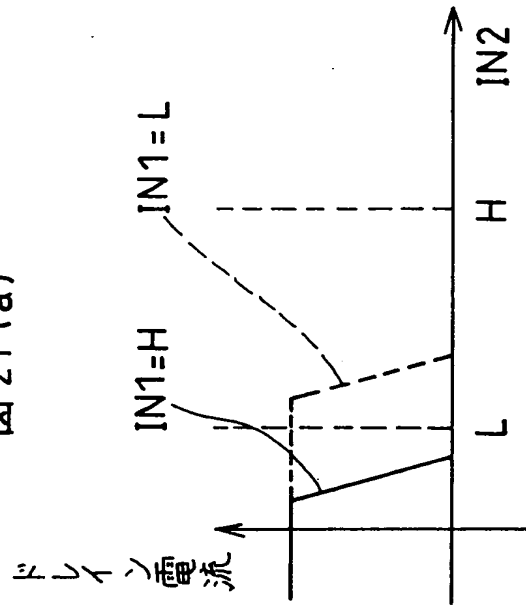
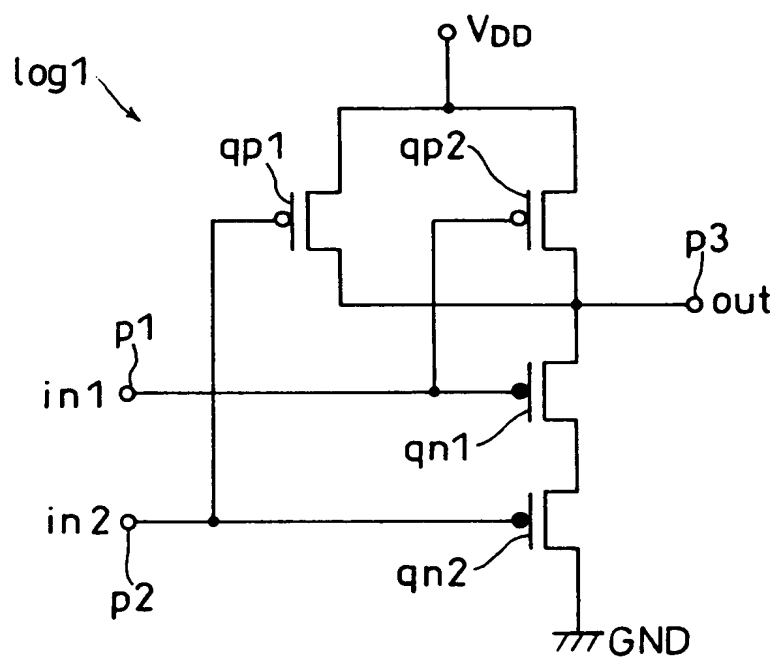


図 21 (a)



22



23

